

KOREAN PATENT ABSTRACT (KR)

Patent Registration Gazette

(51) IPC Code: H04L 12/43 (45) Announcement Date: 2 August 1999
(11) Registration No.: 10-0211984 (24) Registration Date: 6 May 1999
(21) Application No.: 10-1996-0064193 (65) Publication No.: P1998-0045941
(22) Application Date: 11 December 1996 (43) Publication Date: 15 September 1998

(73) Patentee:
KT Corporation

(72) Inventors:
LEE, SUK HOON,
KIM, JONG HO,
KOH, JUNG HOON,
LEE, YU KYOUNG

(74) Attorney: KIM, YOUNG KIL,
KIM, MYOUNG SEOP,
LEE, HWA IK

(54) Title of the Invention:

STM-65 Multiplexing apparatus

Abstract:

A synchronous transfer mode (STM)-64 multiplexing apparatus to multiplex received STM-1 signal which is a basic module of a synchronous digital hierarchy (SDH), into a 10 Gb/s STM-64 signal in a synchronous optical transmission system is provided. In stabiling a 10 Gb/s STM-64 optical transmission system which is essential for establishment of a local communication network 2000's, in consideration of costs of the entire system or power consumption and reliability during high-speed digital signal processing using time-division multiplexing, introduction of a parallel processing technique in which a high-speed digital signal is converted into a parallel signal and processed at a lower speed is essential. Accordingly, in order to realize low power consumption and reduction of costs using a current semiconductor fabricating process technology, the STM-64 multiplexing apparatus includes 16 data converters, an STM-64 duration overhead inserter, a 8:1 multiplexer, and a 16:1 bit-multiplexer so that a 156 Mb/s STM-1 signal of 64 channels is received and converted into a byte parallel structure of low speed so as to apply most functions to a CMOS semiconductor technology of low power, thereby simplifying design of circuits and reducing power consumption of the system.

TEST AVAILABLE COPY

한국특허법 제10211804호(1999.08.02) 1권.

10-0211904

(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl. ^o HD4L 12/43	(45) 등록일자 1999년08월02일
(21) 출원번호 10-1996-0064193	(65) 등록번호 1999-0046941
(22) 출원일자 1996년12월11일	(43) 등록일자 1999년08월05일

(73) 특허권자
한국전기통신공사 이계철
경기도 성남시 분당구 정자동 206한국전자통신연구원 정선증
대전광역시 유성구 가정동 161번지
미식품

(72) 발명자
대전광역시 서구 갈마동 1418 군마루아파트 107-102
김중호
대전광역시 유성구 어은동 한빛아파트 126-404
고정윤
대전광역시 유성구 어은동 한빛아파트 117-503
이유경

(74) 대리인
대전광역시 유성구 어은동 한빛아파트 110-803
김영길, 김영섭, 이화의

설명문 : 부록

(54) STM-64 다중화 장치

요약

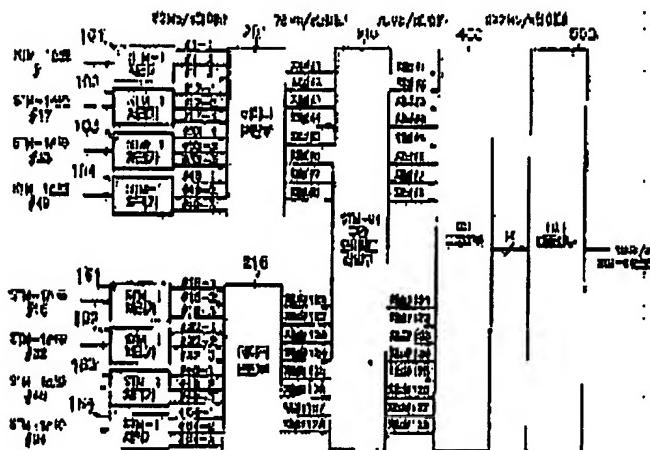
본 발명은 통기식 팔 전송 시스템에 있어서, 통기식 디지털 계열(SDH)의 기본 모듈인 STM-1 신호를 수신하여 10 Gb/s STM-64 신호로 다중화 하는 STM-64 다중화 장치에 관한 것이다.

2000년대의 국내의 기간통신망 구축에 필수적인 10 Gb/s STM-64 팔 전송 시스템을 구현함에 있어서, 시**급**할 다중화 방식을 이용한 고속 디지털 신호 처리 시 전체 시스템의 비용이나 전력 소모 및 신뢰성을 고려할 때 고속의 디지털 신호를 별도 신호로 만들어 보다 낮은 속도에서 디지털 신호를 처리하는 병렬 처리 방식을 도입하는 것이 필수적이다.

따라서, 현재의 반도체 제조 공정 기술을 이용하여 낮은 소비 전력 및 비용 절감을 위해, 64개의 STM-1 신호를 16개의 데미터 병합부 STM-64구간 오버헤드 셱업부, 8:1 다중화부, 16:1 비트 다중화부로 구성되어, 64 채널의 166 Mb/s STM-1 신호를 수신하여 대부분의 기능을 저전력의 CMOS 반도체 기술을 적용한 구조로, 속도가 낮은 바이트 병합 구조로 병합 처리하여 회로 설계의 단순화와 시스템의 소비전력을 낮추었

10-0211984

九



844

ଦେଖିବାର ପାତା

제1도는 STM-64 프레임 구성도.

제2도는 표 달성을 조건적인 구성도.

제3도는 52 Mb/s 12채널 선호(STB-4급 쿨탑)의 배열.

제4도는 78 dB/s 바이트 범위 신호(STL-4급 흐름)의 패밀.

제품은 78 Mb/s 128비트 병렬 데이터 속의 64채널 STM-1 신호 배열

제6도는 8:1 「동화」의 내용 구성도

* 도연의 증언문에 대한 불후의 論點

51 52 · 그간 우편체

60 : 광리단위 표준화(AU scolater)

30 · 韓國 國史館

101-164 : STM-1 셀라우

10 : 경주 해미초등
201 - 316 : 경기인문 봄학부

200 : STM-64 규격 유통화된 솔루션

400 - 01- 512444

31M-04 수업 프레젠테이션

400 : 6.1 대중화주

410 : 4.1 四唇節

2021-01-27

第101頁

EPIC 솔루션 제공업체로 그 동안의 경험을

본 단원은 동기식 패킷 전송 시스템에서의 동기식 디지털 계위(SDH:Synchronous Digital Hierarchy)의 기본 모듈인 STM-1(Synchronous Transport Module Level 1) 신호를 수신하여 10 Gb/s STM-64 신호로 다듬화하는 STM-84 다듬화 장치에 초점을 맞춥니다.

국내에서 개발된 드기식 광 접속 시스템은 156Mb/s STH-1, 622Mb/s STH-4, 2.5 Gb/s STH-16 광 접속 시스템이 있다.

그러나, 이런한 시스템으로는 접속하는 정보등을 수용하기 어려울 뿐 아니라 B-ISDN을 통한 패킷 서비스 제공하기에 어려움이 있다.

제작자: 이민호자 하는 기술적 조작

따라서, 본 발행은 살기 문제점을 해결하기 위해 2000년대의 국내외 기각 통신망 구축에 꼽을 수 있다.

10-0211984

6b/s STM-64 광 전송 시스템은 구현함에 있어서, 시분합 다중화 방식을 이용한 고속 디지털 신호 처리 시 전체 시스템의 비용이나 전력소모 및 신뢰성 등을 고려할 때 고속의 디지털 신호를 별개 신호로 만들어 보다 낮은 속도에서 디지털 신호를 처리하는 병렬 처리 방식을 도입하는 것이 편리하다.

따라서, 현재의 반도체 제조 공정 기술을 이용하여 낮은 소비 전력 및 비용 절감을 위한 10 Gb/s STM-64 다중화 방법을 제공하는 것을 그 목적으로 한다.

부록의 구성 및 작동

이하, 본 발명을 일부원 도면에 의거하여 상세히 설명하면 다음과 같다.

제1도는 STM-64 프레임의 구성도를 나타낸다.

10 Gb/s STM-64 광기식 광 전송 시스템에 사용되는 STM-64 프레임 구조는, 제1도에 도시된 바와 같이, 125 us마다 반복하는 물리 프레임 구조 내에 구간 오버헤드(SOH:Section Overhead)(51,52), 관리 단위 포인터(AU Pointer)(60), STM-64 정보 페이로드(Information Payload)(70)로 구성되어 있으며 9,95328 Mb/s에서 정의된다.

제2도는 본 발명의 STM-64 다중화 장치의 전체적인 구성도이다.

구성은, 크게 64개의 STM-1 처리기(101~164), 16개의 데이터 병환부(201~206), STM-64 구간 오버헤드 삽입부(300), 8:1 다중화부(400), 16:1 비트 다중화부(600)로 구성되어, 64 처리기의 156 Mb/s STM-1 신호를 수신하여 대부분의 기능을 저전력의 CMOS 반도체 기술을 적용하고자 속도가 낮은 바이트 병렬 구조로 변환 처리하여 회로 설계의 단순화와 시스템의 소비 전력을 낮추었다.

그 당시 구성 및 작동을 설명하면, STM-1 처리기(101~164)는 필수신기로부터 입력되는 STM-1 프레임 신호를 받아 디스크램링, 프레임 검출, 구간 오버헤드 바이트 추출, 경보 검출 및 발생, 성능 감시 프리미터로 수집, 포인터 해석 및 생성하여 3 채널의 52 Mb/s 직렬 데이터를 출력하는 기능을 수행한다.

제3도는 상기 64개의 STM-1 처리기(101~164) 중 STM-1 처리기 52 Mb/s 12채널 신호를 STM-4급 용량의 배열을 나타낸다.

데이터 병환부(201~216)는 상기 제3도와 같은 52 Mb/s 12채널 신호를 (STM-4급 용량)을 입력 받아 각 채널 신호를 1:2 시분합 혼다중화한 뒤에 26 Mb/s 24 채널의 신호를 4x4 행렬 병환을 수행한 다음 3:1 시분합 다중화시켜 제4도와 같은 8비트(바이트) 병렬 78 Mb/s 데이터를 출력하는 기능을 수행한다.

제5도는 78 Mb/s 바이트 병렬 신호(STM-4급 용량)의 배열을 나타낸다.

데이터 병환부(201~216)는 상기 제3도와 같은 52 Mb/s 12채널 신호를 (STM-4급 용량)을 입력 받아 각 채널 신호를 1:2 시분합 혼다중화한 뒤에 26 Mb/s 24 채널의 신호를 4x4 행렬 병환을 수행한 다음 3:1 시분합 다중화시켜 제4도와 같은 8비트(바이트) 병렬 78 Mb/s 데이터를 출력하는 기능을 수행한다.

제6도는 8:1 다중화부(400)의 내부 구성도로서, 4:1 다중화부(410), 오버헤드 삽입부(420), 병렬스크램블러(430), 81 바이트 생성부(440), 2:1 다중화부(450)로 구성되어 있다.

8:1 다중화부(400)는 상기 STM-64 구간 오버헤드 삽입부(300)로부터의 128비트 병렬 78 Mb/s 데이터를 입력 받아 STM-64 구간 오버헤드인 81 바이트 계산 및 삽입, 스크램블링, 8:1 시분합 다중화 기능을 수행하여 622 Mb/s 16비트 병렬 데이터를 출력한다.

STM-64 구간 오버헤드 삽입 기능은 8:1 시분합 다중화 후 622 Mb/s 16비트 병렬 데이터상에서 최신 반도체 소자 기술을 사용하여 처리할 수 있지만, 제조 비용 및 소비 전력을 줄이고 고속 접착 회로 기술의 타이밍 경로의 복잡함에 따른 부담을 줄이기 위하여 4:1 다중화 단계와 2:1 다중화 단계로 나누어서 처리한다.

즉, 128비트 병렬 78 Mb/s 데이터를 먼저 4:1 다중화기(410)를 사용하여 311 Mb/s 32비트 병렬 형태로 구간 오버헤드 기능을 처리한 다음, 2:1 다중화기(450)를 사용하여 622 Mb/s 16비트 병렬 데이터를 출력한다.

여기서, 4:1 다중화부(410)는 상기 STM-64 구간 오버헤드 삽입부(300)로부터의 STM-64급 신호인 128비트 78 Mb/s 병렬데이터를 받아 32비트 311 Mb/s 병렬데이터로 다중화하는 기능을 수행한다.

오버헤드 삽입부(420)는 상기 4:1 다중화부(410)로부터의 32비트 311 Mb/s 데이터를 받아 STM-64 프레임 신호에 대한 A1,A2 바이트 및 81 바이트 생성부(440)로부터의 BIP-8 계산결과인 81 바이트를 삽입하는 기능을 수행한다.

병렬스크램블러(430)는 활수신장치에서 틀럭의 주율을 끊어하게 하기 위하여 명령적인 비트 1과 비트 0을 반시합으로써 짐이가 많도록 만들며 주는 기능을 하는데, 상기 오버헤드 삽입부(420)로부터의 311 Mb/s 32비트 병렬 데이터를 받아 32비트 스크램블링을 수행한다.

그리고 81 바이트 생성부(440)는 상기 병렬스크램블러(430)로부터 스크램블링된 311 Mb/s 32비트 병렬 데이터를 받아 STM-64 프레임 신호에 대한 BIP-8 계산결과인 81 바이트를 출력하는 기능을 수행한다.

또한 2:1 다중화부(450)는 상기 병렬스크램бл러(430)로부터의 311 Mb/s 32비트 병렬 데이터를 받아 622Mb/s 16비트 병렬 데이터로 다중화하여 출력하는 기능을 수행한다.

16:1 비트 다중화부(600)는 상기 2:1 다중화부(450)로부터의 622 Mb/s 16비트 병렬 데이터를 받아 16:1 비트 다중화하여 10 Mb/s STM-64 프레임 신호를 출력하는 기능을 수행한다.

10-0211984

부록의 주제

이상과 같은 본 발명은 10 Mb/s STM-64 광 전송 시스템을 구현함에 있어서, 고속의 디지털 신호를 병렬 전송로 만들어 보나, 또는 속도에서 디지털 신호를 병렬 처리 방식을 이용하여 전체 시스템의 비용이나 품질 저소모 등을 낮출 수 있는 효과가 있다.

(57) 청구의 범위**청구항 1**

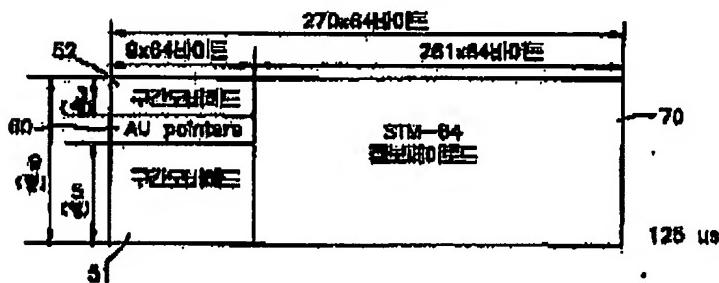
광수신기로부터 입력되는 STM-64 프레임 신호를 받아 디스크램플린, 프레임 검출, 구간 오버헤드 바이트 추출, 경로 검출 및 딜레이, 성능 감시 프리미티브 수질, 포인티 해석 및 생성하여 각각 3 채널의 62 Mb/s 징렬 데이터를 출력하는 STM-1 처리 수단과, 상기 STM-1 처리 수단으로부터 출력된 52 Mb/s 12채널 신호 (STM-4은 용량)를 입력 받아 각 채널 신호를 8비트 병렬 26Mb/s 데이터로 변환시켜 출력하는 데이터 변환 수단과, 상기 16비트 데이터 변환수단으로부터의 128비트 병렬 78 Mb/s 데이터를 입력 받아 STM-64 구간 오버헤드를 즐비 비바이트를 제외한 모든 오버헤드를 산출하여 128비트 병렬 78 Mb/s 네이터를 출력하는 STM-64 구간 오버헤드 산출 수단과, 상기 STM-64구간 오버헤드 산출 수단의 128비트 병렬 78 Mb/s 데이터를 입력 받아 8:1 다중화 수단과, 및 상기 8:1 다중화 수단으로부터의 622 Mb/s 16비트 병렬 데이터를 받아 16:1 비트 다중화 하며 10 Mb/s STM-64 프레임 신호를 출력하는 6:1 비트 다중화 수단을 구비한 것을 특징으로 하는 STM-64 다중화 장치.

청구항 2

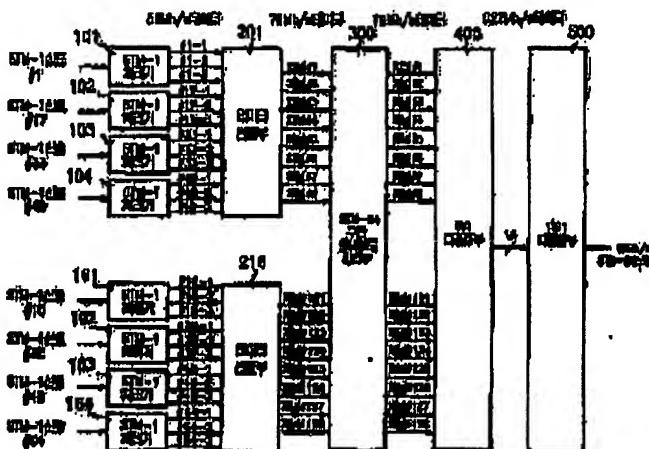
제1항에 있어서, 상기 데이터 변환수단은 상기 각 채널신호를 1:2 시분할 역다중화한 뒤에 26 Mb/s 24 채널의 신호를 4x4 힙별 병점을 수행한 다음 3:1 시분할 다중화시켜 병점시키는 것을 특징으로 하는 STM-64 다중화 장치.

청구항 3

제1항에 있어서, 상기 8:1 다중화 수단은 상기 STM-64 구간 오버헤드 산출 수단으로부터의 STM-64급 신호인 128비트 병렬 78 Mb/s 병렬 데이터를 입력 받아 32비트 311 Mb/s 병렬 데이터로 다중화하는 4:1 다중화 부위; 상기 4:1 다중화부(410)로부터의 32비트 311 Mb/s 데이터를 받아 STM-64 프레임 신호에 대한 A1, A2 바이트 및 B1 바이트 삼성부로부터의 BIP-8 계산결과인 B1 바이트를 산입하는 오버헤드삽입 부위; 상기 오버헤드 삽입 부위로부터의 311 Mb/s 32비트 병렬 데이터를 받아 32비트 스크램블링을 수행하는 병렬 스크램블러와; 상기 병렬 스크램블러로부터 스크램블링된 311 Mb/s 32비트 병렬 데이터를 받아 STM-64 프레임 신호에 대한 BIP-8 계산결과인 B1 바이트를 산입하는 B1바이트 삼성부와; 및 상기 병렬 스크램블러로부터의 311 Mb/s 32비트 병렬 데이터를 받아 622 Mb/s 16비트 병렬 데이터로 다중화하여 출력하는 2:1 다중화부를 구비한 것을 특징으로 하는 STM-64 다중화 장치.

도면**도면 1**

10-0211984

~~502~~~~503~~

A7	A8	A5	A4	A3	A2	A1	A0
B7	B8	B5	B4	B3	B2	B1	B0
C7	C8	C5	C4	C3	C2	C1	C0

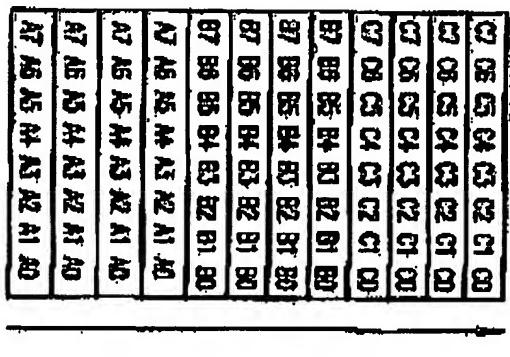
A7	A8	A5	A4	A3	A2	A1	A0
B7	B8	B5	B4	B3	B2	B1	B0
C7	C8	C5	C4	C3	C2	C1	C0

A7	A8	A5	A4	A3	A2	A1	A0
B7	B8	B5	B4	B3	B2	B1	B0
C7	C8	C5	C4	C3	C2	C1	C0

A7	A8	A5	A4	A3	A2	A1	A0
B7	B8	B5	B4	B3	B2	B1	B0
C7	C8	C5	C4	C3	C2	C1	C0

— Time

584

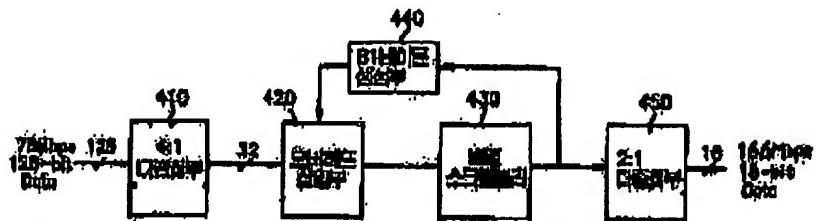


Time

585

#1	#17	#33	#49	#1	#17	#33	#49
#2	#10	#34	#50	#2	#10	#34	#50
:				:			
#10	#32	#48	#64	#15	#32	#48	#64

586



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.